

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jin-Sung Chung

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS OF FORMING METAL INTERCONNECTIONS FOR  
SEMICONDUCTOR DEVICES USING A BUFFER LAYER ON A TRENCH  
SIDEWALL, AND SEMICONDUCTOR DEVICES SO FORMED

August 20, 2003

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of  
Korean priority Application No. 2002-0049547, filed August 20, 2002.

Respectfully submitted,

  
Mitchell S. Bigel  
Registration No. 29,614

Customer No. 20792  
Myers Bigel Sibley & Sajovec  
PO Box 37428  
Raleigh NC 27627  
Tel (919) 854-1400  
Fax (919) 854-1401

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 353607351 US

Date of Deposit: August 20, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express  
Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to:  
Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

  
Susan E. Freedman

Date of Signature: August 20, 2003

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0049547  
Application Number PATENT-2002-0049547

출원년월일 : 2002년 08월 21일  
Date of Application AUG 21, 2002

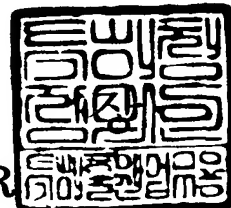
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 16 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2002.08.21  
**【발명의 명칭】** 희생충진물질을 이용한 반도체 장치의 듀얼다마신 배선형성방법  
**【발명의 영문명칭】** Dual Damascene Interconnection Formation Method in Semiconductor Device using Sacrificial Filling Material  
**【출원인】**  
**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3  
**【대리인】**  
**【성명】** 박상수  
**【대리인코드】** 9-1998-000642-5  
**【포괄위임등록번호】** 2000-054081-9  
**【발명자】**  
**【성명의 국문표기】** 정진성  
**【성명의 영문표기】** CHUNG, JIN SUNG  
**【주민등록번호】** 670822-1821017  
**【우편번호】** 445-973  
**【주소】** 경기도 화성군 태안읍 반월리 신영통현대아파트 311동 1703호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 8 면 8,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 16 항 621,000 원  
**【합계】** 658,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 희생충진막을 이용한 듀얼다마신공정에서 발생하는 패턴불량을 방지하기 위한 반도체 장치의 듀얼다마신 배선형성방법에 관한 것이다.

본 발명의 반도체 장치의 듀얼다마신 배선형성방법은 도전패턴을 구비한 반도체 기판상에 층간 절연막과 연마버퍼층을 형성하는 단계와; 상기 층간 절연막과 연마버퍼층을 식각하여 비어홀을 형성하는 단계와; 상기 비어홀이 채워지도록 상기 연마버퍼층상에 희생충진막을 형성하는 단계와; 상기 희생충진막, 연마버퍼층 및 층간 절연막의 일부분을 식각하여 트렌치를 형성하여 비어홀과 트렌치로 이루어진 듀얼다마신패턴을 형성하는 단계와; 상기 트렌치의 측벽에 식각버퍼층을 형성하는 단계와; 상기 희생충진막을 제거하는 단계와; 상기 듀얼다마신패턴내에 금속배선을 형성하는 단계를 포함한다.

**【대표도】**

도 3g

## 【명세서】

## 【발명의 명칭】

희생충진물질을 이용한 반도체 장치의 듀얼다마신 배선형성방법{Dual Damascene Interconnection Formation Method in Semiconductor Device using Sacrificial Filling Material}

## 【도면의 간단한 설명】

도 1a 내지 도 1g는 종래의 반도체 장치의 듀얼다마신 금속배선 형성방법을 설명하기 위한 공정단면도,

도 2는 종래의 듀얼다마신 금속배선공정에서 패턴불량이 발생하는 것을 설명하기 위한 단면도,

도 3a 내지 도 3j는 본 발명의 일 실시예에 따른 반도체 장치의 듀얼다마신 금속배선 형성방법을 설명하기 위한 공정단면도,

도 4는 본 발명의 다른 실시예에 따른 반도체 장치의 듀얼다마신 금속배선 형성방법을 설명하기 위한 단면도,

\*도면의 주요부분에 대한 부호의 설명\*

300, 400 : 반도체 기판

305, 405 : 구리배선

310, 410 : 절연막

331, 333, 431, 433 : 층간 절연막

321, 323, 421, 423 : 식각정지막

340, 440 : 연마버퍼층

350, 355 : 감광막

360, 460 : 비어홀

365, 465 : 트렌치

370 : 희생충진막

385, 485 : 식각버퍼층

390, 490 : 금속배선

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 장치의 금속배선 형성방법에 관한 것으로서, 보다 구체적으로는 트렌치식각시 보호막으로 작용하는 희생충진막의 제거시에 발생하는 패턴불량을 방지할 수 있는 듀얼다마신 금속배선 형성방법에 관한 것이다.
- <13> 반도체 장치의 고집적화에 따라 배선의 폭이 감소하게 되고, 배선 폭의 감소는 배선저항의 증가를 초래하였다. 배선저항의 증가는 배선의 RC 딜레이를 증가시켜 소자의 구동특성을 저하시켰다. 그러므로, 고집적 반도체 장치의 구동특성을 향상시키기 위해서는 배선의 RC 딜레이를 감소시키는 것이 요구되고, 이러한 배선의 RC 딜레이를 감소시키기 위해 구리와 같은 저저항물질과 저유전율의 층간 절연막을 이용한 배선공정이 요구되었다.
- <14> 구리배선방법으로 비어홀을 형성한 다음 트렌치패턴을 형성하여 구리배선을 형성하는 듀얼다마신공정(dual damascene)이 널리 사용되고 있다. 듀얼다마신공정에서 하부 금속배선의 손상을 방지하기 위해서, 트렌치식각시 비어홀하부에 형성된 확산 배리어 또는 식각정지막에 대한 고선택 식각기술의 확보가 가장 중요하다.
- <15> 도프된 산화막(doped oxide) 계열의 저유전율을 갖는 층간 절연막을 사용하여 듀얼다마신공정을 진행하는 경우에는, 트렌치 식각시 비어홀에 의해 노출되는 식각정지막에

대한 식각선택비가 저하된다. 식각선택비 저하에 의해 트렌치 식각시 에치스톱이 어려워 하부의 금속배선이 손상되는 문제점이 있었다.

<16> 이를 해결하기 위하여, 비어홀에 하부 반사방지막(BARC, bottom anti-reflection coating) 또는 HSQ(hydrogen silsesquioxane) 등과 같은 유동성 산화막(FOX, flowable oxide)을 희생충진물질(SFM, sacrificial filling material)로 충전한 다음 트렌치 식각 공정을 수행하여 하부 금속배선을 보호하는 방법이 제안되었다.

<17> 도 1a 내지 도 1f는 종래의 듀얼다마신공정을 이용한 반도체장치의 금속배선을 형성하는 방법을 설명하기 위한 공정단면도를 도시한 것이다.

<18> 도1a를 참조하면, 반도체 기판(100)상에 하부금속배선인 구리배선(105)을 구비한 절연막(110)을 형성하고, 상기 절연막상에 제1식각정지막(121), 저유전율을 갖는 제1층간 절연막(131), 제2식각정지막(123) 및 저유전율을 갖는 제2층간 절연막(133)을 순차 형성한다.

<19> 이어서, 상기 제2층간 절연막(133)상에 후속의 화학 기계적 연마공정(CMP)에서 버퍼층으로 작용하는 절연막, 예를 들어 플라즈마 산화막(PEOX) (140)을 증착한다. 이때, 상기 제2층간 절연막(133)상에 연마 버퍼층(140)을 증착하기 전에, 상기 제2층간 절연막(133)과 연마버퍼층(140)의 계면에서의 접착력을 향상시키기 위하여 N<sub>2</sub> 개스 등을 이용하여 플라즈마처리를 한다.

<20> 도 1b를 참조하면, 상기 연마 버퍼층(140)상에 비어홀을 형성하기 위한 제1감광막 패턴(150)을 형성한다. 상기 제1감광막패턴(150)을 이용하여 상기 연마 버퍼층(140),

제1 및 제2층간 절연막(131), (133) 그리고 제2식각정지막(123)을 식각하여 비어홀(160)을 형성한다.

- <21> 도 1c를 참조하면, 상기 제1감광막 패턴(150)을 제거한 다음, 상기 비어홀(160)이 채워지도록 희생층진막(170)을 연마 버퍼층(140)상에 형성한다. 상기 비어홀(160)에 채워진 희생층진막(170)은 후속의 트렌치 식각공정시 하부 금속배선(105)을 보호하기 위한 보호막으로서 작용하며, 예를 들어 HSQ 와 같은 유동성 산화막을 사용한다.
- <22> 도 1d를 참조하면, 상기 비어홀(160)을 포함한 트렌치가 형성될 부분이 노출되도록 상기 희생층진막(170)상에 트렌치 형성을 제2감광막패턴(155)을 형성한다.
- <23> 도 1e를 참조하면, 상기 제2감광막패턴(155)을 이용하여 상기 희생층진막(170), 연마 버퍼층(140), 제2층간 절연막(133) 그리고 제2식각정지막(123)을 식각하여 트렌치(165)를 형성한다. 이때, 비어홀(160)내에 희생층진막(170)의 일부분이 존재하게 된다.
- <24> 도 1f를 참조하면, 상기 제2감광막패턴(155)을 제거한 다음, 남아있는 희생층진막(170), (175)을 HF를 이용한 습식식각공정으로 제거한다. 이어서, 상기 비어홀(160)내의 제1식각정지막(121)을 제거하면, 비어홀(160)과 트렌치(165)로 이루어진 듀얼 다마신패턴이 얻어진다.
- <25> 도 1g를 참조하면, 상기 비어홀(160)과 트렌치(165)로 된 듀얼다마신패턴이 채워지도록 구리와 같은 금속막을 증착한다. 이어서, 연마버퍼층(140)을 이용하여 상기 금속막을 CMP 하여 듀얼다마신킴속배선(180)을 형성한다.



<26> 종래의 듀얼다마신 금속배선 형성방법은 희생충진막(170)을 상기 비어홀(160)에 충전한 다음에 저유전율을 갖는 제2층간 절연막(133)을 식각하여 트렌치(165)를 형성하여 줌으로써, 희생충진막에 의해 하부 금속배선(105)을 보호할 수 있었다.

<27> 그러나, 상기 제2층간 절연막(133)과 연마버퍼층(140)간의 계면접착력을 향상시키기 위한 플라즈마 처리시 제2층간 절연막(133)의 표면이 손상된다. 그러므로, 상기 트렌치(165) 형성후 남아있는 희생충진막(170), (175)을 제거할 때, 상기 희생충진막(170), (175) 뿐만 아니라 제2층간 절연막(133)의 손상된 부분도 함께 제거되어, 도 2에서와 같이 연마버퍼층(140)과 제2층간 절연막(133)의 계면에서 네킹(necking) 현상(190)과 같은 패턴불량이 발생된다.

<28> 상기 제2층간 절연막(133)과 연마버퍼층(140)의 계면에 발생된 패턴불량(190)에 의해 연마버퍼층(140)의 접착불량이 발생하고, 상기 듀얼 다마신 금속배선(180)을 형성하기 위한 CMP 공정시 연마버퍼층(140)이 리프팅되어 원하는 듀얼 다마신 금속배선(180)을 형성할 수 없는 문제점이 있었다.

**【발명이 이루고자 하는 기술적 과제】**

<29> 본 발명의 목적은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 트렌치의 측벽에 식각버퍼층을 형성한 다음 희생충진막을 제거하여 줌으로써, 패턴불량을 방지할 수 있는 반도체 장치의 듀얼다마신 금속배선 형성방법을 제공하는 데 그 목적이 있다.

<30> 본 발명의 다른 목적은 듀얼다마신 금속배선의 콘택저항을 감소시킴과 동시에 확산 배리어 특성을 향상시킬 수 있는 반도체 장치의 듀얼다마신 금속배선 형성방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<31> 이와 같은 목적을 달성하기 위한 본 발명은 도전패턴을 구비한 반도체 기판상에 층간 절연막과 연마버퍼층을 형성하는 단계와; 상기 층간 절연막과 연마버퍼층을 식각하여 비어홀을 형성하는 단계와; 상기 비어홀이 채워지도록 상기 연마버퍼층상에 희생충진막을 형성하는 단계와; 상기 희생충진막, 연마버퍼층 및 층간 절연막의 일부분을 식각하여 트렌치를 형성하여 비어홀과 트렌치로 이루어진 듀얼다마신패턴을 형성하는 단계와; 상기 트렌치의 측벽에 식각버퍼층을 형성하는 단계와; 남아있는 희생충진막을 제거하는 단계와; 상기 듀얼다마신패턴내에 금속배선을 형성하는 단계를 포함하는 반도체 장치의 듀얼다마신 배선형성방법을 제공하는 것을 특징으로 한다.

<32> 또한, 본 발명은 도전패턴을 구비한 반도체 기판상에 제1식각정지막, 제1층간 절연막, 제2식각정지막, 제2층간 절연막 및 연마버퍼층을 순차 형성하는 단계와; 상기 제1 및 제2층간 절연막, 제2식각정지막 및 연마버퍼층을 식각하여 비어홀을 형성하는 단계와; 상기 비어홀이 채워지도록 상기 연마버퍼층상에 희생충진막을 형성하는 단계와; 상기 희생충진막, 연마버퍼층, 제2층간 절연막과 제2식각정지막을 식각하여 트렌치를 형성하여 비어홀과 트렌치로 이루어지는 듀얼다마신패턴을 형성하는 단계와; 상기 트렌치의 측벽에 식각버퍼층을 형성하는 단계와; 남아있는 희생충진막을 제거하는 단계와; 상기 비어홀내의 제1식각정지막과 상기 식각버퍼층을 제거하는 단계와; 상기 듀얼다마신 패턴내

에 배리어금속막을 구비한 금속배선을 형성하는 단계를 포함하는 반도체 장치의 듀얼다마신 배선형성방법을 제공하는 것을 특징으로 한다.

<33> 또한, 본 발명은 도전패턴을 구비한 반도체 기판상에 제1식각정지막, 제1층간 절연막, 제2식각정지막, 제2층간 절연막 및 연마버퍼층을 순차 형성하는 단계와; 상기 제1 및 제2층간 절연막, 제2식각정지막 및 연마버퍼층을 식각하여 비어홀을 형성하는 단계와; 상기 비어홀이 채워지도록 희생충진막을 형성하는 단계와; 상기 희생충진막, 연마버퍼층, 제2층간 절연막 및 제2식각정지막을 식각하여 트렌치를 형성하여 비어홀과 트렌치로 이루어진 듀얼다마신 패턴을 형성하는 단계와; 상기 트렌치의 측벽에 식각버퍼층을 형성하는 단계와; 남아있는 희생충진막을 제거하는 단계와; 상기 비어홀내의 제1식각정지막을 제거하는 단계와; 상기 듀얼다마신패턴내에 상기 식각버퍼층을 배리어 금속막으로 이용하는 듀얼 배리어금속층을 구비한 금속배선을 형성하는 단계를 포함하는 반도체 장치의 듀얼다마신 배선형성방법을 제공하는 것을 특징으로 한다.

<34> 상기 희생충진막은 유동성 산화막으로 이루어지고, 상기 식각버퍼층은 상기 희생충진막과 식각차를 갖는 물질로서, TiN, Ta 와 같은 배리어 금속막 또는 질화막과 같은 절연막으로 이루어지는 것을 특징으로 한다.

<35> 또한, 본 발명은 도전패턴을 구비한 반도체 기판상에 형성되고, 비어홀과 트렌치로 된 듀얼다마신패턴을 구비한 층간 절연막과; 상기 트렌치의 측벽에 형성된 제1배리어 금속막과; 상기 듀얼다마신패턴내에 형성된 제2배리어 금속막과; 상기 듀얼다마신패턴내에 채워진 금속막으로 이루어지는 반도체 장치의 듀얼다마신 금속배선을 제공하는 것을 특징으로 한다.

- <36>        이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예를 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.
- <37>        도 3a 내지 도 3h는 본 발명의 일 실시예에 따른 듀얼다마신공정을 이용한 반도체 장치의 금속배선을 형성하는 방법을 설명하기 위한 공정단면도를 도시한 것이다.
- <38>        도3a를 참조하면, 반도체 기판(300)상에 구리 등과 같은 하부 금속배선(305)을 구비한 절연막(310)이 형성되고, 상기 절연막(310)상에 제1식각정지막(321), 저유전율을 갖는 제1층간 절연막(331), 제2식각정지막(323) 및 저유전율을 갖는 제2층간 절연막(333)을 순차 형성한다.
- <39>        상기 저유전율을 갖는 제1 및 제2층간 절연막(331), (333)으로 HSQ(hydrogen silsesquioxane), MSQ(methyl silsesquioxane), SiOC 등과 같은 도프된 산화막계열의 절연막이 사용되고, 상기 제1 및 제2식각정지막(321), (323)으로는 상기 저유전율을 갖는 제1 및 제2층간 절연막(331), (333)과 식각선택비를 갖는 물질, 예를 질화막이 사용된다.
- <40>        이어서, 상기 제2층간 절연막(333)상에 후속의 화학 기계적 연마공정에서 버퍼층으로 작용하는 절연막, 예를 들어 플라즈마 산화막(PEOX) (340)을 증착한다. 상기 제2층간 절연막(333)을 증착한 다음, 제2층간 절연막(333)과 연마버퍼층(340)간의 계면접착력을 향상시키기 위하여 N<sub>2</sub> 개스 등을 이용하여 플라즈마처리를 한다.
- <41>        도 3b를 참조하면, 비어홀이 형성될 부분이 노출되도록 상기 제2층간 절연막(333)상에 비어홀 형성을 위한 제1감광막패턴(350)을 형성한다. 상기 제1감광막패턴(350)을

이용하여 상기 연마버퍼층(340), 제1 및 제2층간 절연막(331), (333) 및 제2식각정지막(323)을 식각하여 비어홀(360)을 형성한다.

<42> 도 3c를 참조하면, 상기 제1감광막 패턴(350)을 제거한 다음, 상기 비어홀(360)이 채워지도록 희생충진막(370)을 상기 연마버퍼층(340)상에 형성한다. 상기 희생충진막(370)으로 후속의 트렌치를 형성하기 위한 제2층간 절연막(333)의 식각시 하부 금속배선(305)을 보호하는 보호막으로서의 역할을 하며, HSQ 와 같은 유동성 산화막(FOX)을 사용한다.

<43> 도 3d를 참조하면, 트렌치가 형성될 부분이 노출되도록 상기 희생충진막(370)상에 트렌치 형성을 위한 제2감광막패턴(355)을 형성한다. 이어서, 상기 제2감광막 패턴(355)을 이용하여 상기 희생충진막(370), 연마버퍼층(340), 제2층간 절연막(333)과 제2식각정지막(323)을 식각하여 트렌치(365)를 형성한다.

<44> 도 3e를 참조하면, 상기 제2감광막 패턴(355)을 제거하면, 비어홀(360)내에 트렌치 식각시 보호막으로 작용한 희생충진막(370)의 일부분이 남아있다.

<45> 도 3f를 참조하면, 기판전면에 상기 희생충진막(370)과 습식식각차를 갖는 막(380)을 증착한다. 상기 막(380)으로는, 예를 들어 TiN막 또는 Ta 막과 같은 배리어 금속막이 사용되거나 또는 질화막과 같은 절연막이 사용된다.

<46> 도 3g를 참조하면, 상기 막(380)을 식각하여 상기 트렌치(365)의 측벽에 스페이서 형태의 식각버퍼층(385)을 형성한다. 상기 식각버퍼층(385)은 후속의 희생충진막(370)의 제거시 제2층간 절연막(333)을 보호하는 역할을 한다.

- <47> 도 3h를 참조하면, 남아있는 상기 희생충진막(370), (375)을 HF 등을 이용한 습식 식각공정을 통해 제거한다. 이때, 상기 트렌치(365)의 측벽에는 식각버퍼층(385)이 형성되어 상기 제2층간 절연막(333)과 연마버퍼층(340)을 보호하여 줌으로써, 이들 계면에서의 패턴불량은 발생되지 않는다.
- <48> 도 3i를 참조하면, 상기 비어홀(360)내의 제1식각정지막(321)과 식각버퍼층(385)을 제거하면, 비어홀(360)과 트렌치(365)로 이루어진 듀얼다마신 패턴이 형성된다.
- <49> 도 3j를 참조하면, 기판전면에 TaN과 같은 배리어금속막(391)을 증착한 다음 상기 듀얼 다마신패턴이 채워지도록 구리와 같은 금속막(393)을 증착한다. 연마버퍼층을 이용하여 CMP 공정을 수행하여 상기 배리어 금속막(391)과 상기 금속막(393)을 식각하여 듀얼다마신 금속배선(390)을 형성한다.
- <50> 도 4는 본 발명의 다른 실시예에 따른 듀얼다마신 공정을 이용한 반도체 장치의 금속배선을 형성하는 방법을 설명하기 위한 단면도를 도시한 것이다.
- <51> 본 발명의 다른 실시예에 따른 반도체 장치의 듀얼다마신 금속배선방법은 식각버퍼층을 제거하지 않고 듀얼배리어금속층을 형성하는 것이다.
- <52> 즉, 일실시예와 같이, 반도체 기판(400)상에 구리배선과 같은 하부 금속배선(405)을 구비한 절연막(410)을 형성하고, 그위에 제1식각정지막(421), 저유전율을 갖는 제1층간 절연막(431), 제2식각정지막(423) 및 저유전율을 갖는 제2층간 절연막(433)과 연마버퍼층을 증착한다.
- <53> 이어서, 상기 연마버퍼층, 제1 및 제2층간 절연막(431), (433)과 제2식각정지막(423)을 식각하여 비어홀(460)을 형성하며, 비어홀(460)이 채워지도록 희생충진막을 증

착한 다음 상기 희생충진막, 연마정지층, 제2층간 절연막(433) 및 제2식각정지막(423)을 식각하여 트렌치를 형성한다.

<54>       상기 트렌치(465)의 측벽에 식각버퍼층(485)을 형성한 다음, 남아있는 희생충진막을 제거하고, 비어홀(460)내의 제1식각정지막(421)을 제거하여 비어홀(460)과 트렌치(465)로 이루어진 듀얼다마신패턴을 형성한다.

<55>       이어서, 트렌치(465)의 측벽에 식각버퍼층(485)이 형성된 상기 듀얼다마신 패턴이 채워지도록 기판전면에 TaN과 같은 배리어 금속층(491)과 구리등과 같은 금속막(493)을 증착하고, 상기 연마버퍼층을 이용하여 상기 배리어 금속층(491)과 금속막(494)을 CMP하여 금속배선(490)을 형성한다. 그러므로, 듀얼다마신 패턴내에 식각버퍼층(485)과 TaN(491)의 듀얼 배리어금속층과 금속막(493)으로 이루어진 금속배선(490)이 형성된다.

<56>       본 발명의 다른 실시예에 따른 듀얼다마신 금속배선(490)은 트렌치(465)의 측벽에 형성된 식각버퍼층(485)을 배리어 금속막으로 이용함으로써, 금속배선의 콘택저항을 감소시키고, 금속배선의 충전(fill) 특성을 향상시킴과 동시에 금속배선(490)으로부터의 구리 등과 같은 금속의 확산배리어특성을 향상시킨다.

#### 【발명의 효과】

<57>       상기한 바와같은 본 발명의 듀얼다마신 공정을 이용한 반도체 장치의 금속배선 형성방법은 트렌치의 측벽에 식각버퍼층을 형성한 다음 희생충진막을 제거하여 줌으로써, 희생충진막과 연마버퍼층간의 패턴불량을 방지하여 원하는 듀얼다마신 금속배선을 형성하는 할 수 있는 이점이 있다.

<58> 또한, 트렌치의 측벽에 형성된 식각버퍼층을 배리어층으로 이용하여 듀얼 배리어층을 형성하여 줌으로써, 금속배선의 콘택저항을 감소시킴과 동시에 금속배선의 충전특성 및 확산배리어특성을 향상시킬 수 있는 이점이 있다.

<59> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.



**【특허청구범위】****【청구항 1】**

도전패턴을 구비한 반도체 기판상에 층간 절연막과 연마버퍼층을 형성하는 단계와;  
상기 층간 절연막과 연마버퍼층을 식각하여 비어홀을 형성하는 단계와;  
상기 비어홀이 채워지도록 상기 연마버퍼층상에 희생충진막을 형성하는 단계와;  
상기 희생충진막, 연마버퍼층 및 층간 절연막의 일부분을 식각하여 트렌치를 형성하여 비어홀과 트렌치로 이루어진 듀얼다마신패턴을 형성하는 단계와;  
상기 트렌치의 측벽에 식각버퍼층을 형성하는 단계와;  
남아있는 희생충진막을 제거하는 단계와;  
상기 듀얼다마신패턴내에 금속배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 듀얼다마신패선형성방법.

**【청구항 2】**

제1항에 있어서, 상기 희생충진막은 유동성 산화막으로 이루어지는 것을 특징으로 하는 반도체장치의 듀얼다마신패선형성방법.

**【청구항 3】**

제1항에 있어서, 상기 식각버퍼층은 상기 희생충진막의 제거시 상기 층간 절연막을 보호하는 보호막의 역할을 하는 것을 특징으로 하는 반도체 장치의 듀얼다마신패선형성방법.

**【청구항 4】**

제1항에 있어서, 상기 식각버퍼층은 상기 희생충진막과 식각차를 갖는 물질로 이루어지는 것을 특징으로 하는 반도체 장치의 듀얼다마신 배선행성방법.

**【청구항 5】**

제4항에 있어서, 상기 식각버퍼층은 TiN, Ta 와 같은 배리어 금속막 또는 질화막과 같은 절연막으로 이루어지는 것을 특징으로 하는 반도체 장치의 듀얼다마신 배선행성방법.

**【청구항 6】**

제1항에 있어서, 상기 듀얼다마신패턴내에 금속배선을 형성하는 방법은

상기 식각버퍼층을 제거하는 단계와;

상기 듀얼다마신패턴이 채워지도록 배리어 금속막과 금속막을 증착하는 단계와;

상기 연마버퍼층을 이용하여 상기 배리어 금속막과 금속막을 CMP 하는 단계로 이루어지는 것을 특징으로 하는 반도체장치의 듀얼다마신 배선행성방법.

**【청구항 7】**

제1항에 있어서, 상기 듀얼다마신패턴내에 금속배선을 형성하는 방법은

상기 식각버퍼층을 구비한 상기 듀얼다마신패턴이 채워지도록 배리어 금속막과 금속막을 증착하는 단계와;

상기 연마버퍼층을 이용하여 상기 배리어 금속막과 금속막을 CMP 하여 듀얼 배리어 금속막을 구비한 금속배선을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체장치의 듀얼다마신 배선행성방법.

**【청구항 8】**

도전패턴을 구비한 반도체 기판상에 제1식각정지막, 제1층간 절연막, 제2식각정지막, 제2층간 절연막 및 연마버퍼층을 순차 형성하는 단계와;

상기 제1 및 제2층간 절연막, 제2식각정지막 및 연마버퍼층을 식각하여 비어홀을 형성하는 단계와;

상기 비어홀이 채워지도록 상기 연마버퍼층상에 희생충진막을 형성하는 단계와;

상기 희생충진막, 연마버퍼층, 제2층간 절연막과 제2식각정지막을 식각하여 트렌치를 형성하여 비어홀과 트렌치로 이루어지는 듀얼다마신패턴을 형성하는 단계와;

상기 트렌치의 측벽에 식각버퍼층을 형성하는 단계와;

남아있는 희생충진막을 제거하는 단계와;

상기 비어홀내의 제1식각정지막과 상기 식각버퍼층을 제거하는 단계와;

상기 듀얼다마신 패턴내에 배리어금속막을 구비한 금속배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 듀얼다마신 배선형성방법.

**【청구항 9】**

제8항에 있어서, 상기 식각버퍼층은 상기 희생충진막 제거시 상기 제2층간 절연막을 보호하는 보호막으로 작용하는 특징으로 하는 반도체 장치의 듀얼다마신 배선형성방법.

**【청구항 10】**

제8항에 있어서, 상기 식각버퍼층은 상기 희생충진막과 식각차를 갖는 물질로 이루어지는 것을 특징으로 하는 반도체 장치의 듀얼다마신 배선형성방법.

**【청구항 11】**

제10항에 있어서, 상기 식각버퍼층은 TiN, Ta 등과 같은 배리어 금속막또는 질화막과 같은 절연막으로 이루어지는 것을 특징으로 하는 반도체 장치의 듀얼다마신 배선행성 방법.

**【청구항 12】**

도전패턴을 구비한 반도체 기판상에 제1식각정지막, 제1층간 절연막, 제2식각정지막, 제2층간 절연막 및 연마버퍼층을 순차 형성하는 단계와;

상기 제1 및 제2층간 절연막, 제2식각정지막 및 연마버퍼층을 식각하여 비어홀을 형성하는 단계와;

상기 비어홀이 채워지도록 희생충진막을 형성하는 단계와;

상기 희생충진막, 연마버퍼층, 제2층간 절연막 및 제2식각정지막을 식각하여 트렌치를 형성하는 단계와;

상기 트렌치의 측벽에 식각버퍼층을 형성하는 단계와;

남아있는 희생충진막을 제거하는 단계와;

상기 비어홀내의 제1식각정지막을 제거하는 단계와;

상기 듀얼다마신패턴내에 상기 식각버퍼층을 배리어 금속막으로 이용하는 듀얼 배리어금속층을 구비한 금속배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 듀얼다마신 배선행성방법.

**【청구항 13】**

제12항에 있어서, 상기 식각버퍼층은 상기 회생충진막 제거시 상기 제2층간 절연막을 보호하는 보호막으로 작용하는 것을 특징으로 하는 반도체 장치의 듀얼다마신 배선행성방법.

**【청구항 14】**

제12항에 있어서, 상기 식각버퍼층은 상기 회생충진막과 식각차를 갖는 물질로 이루어지는 것을 특징으로 하는 반도체 장치의 듀얼다마신 배선행성방법.

**【청구항 15】**

제14항에 있어서, 상기 식각버퍼층은 TiN, Ta 등과 같은 배리어 금속막또는 질화막과 같은 절연막으로 이루어지는 것을 특징으로 하는 반도체 장치의 듀얼다마신 배선행성방법.

**【청구항 16】**

도전패턴을 구비한 반도체 기판상에 형성되고, 비어홀과 트렌치로 된 듀얼다마신패턴을 구비한 층간 절연막과;

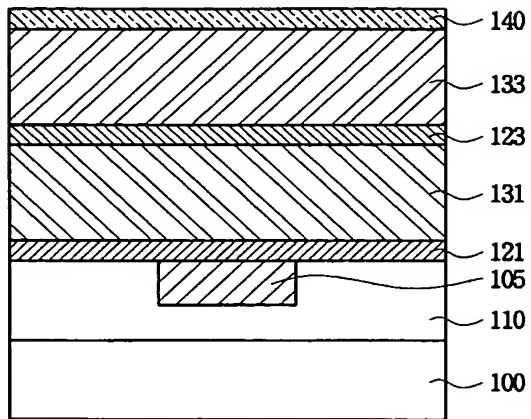
상기 트렌치의 측벽에 형성된 제1배리어 금속막과;

상기 듀얼다마신패턴내에 형성된 제2배리어 금속막과;

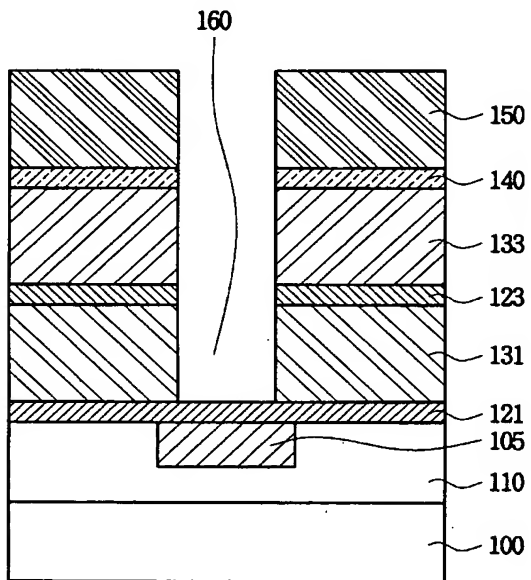
상기 듀얼다마신패턴내에 채워진 금속막으로 이루어지는 것을 특징으로 하는 반도체 장치의 듀얼다마신 금속배선.

【도면】

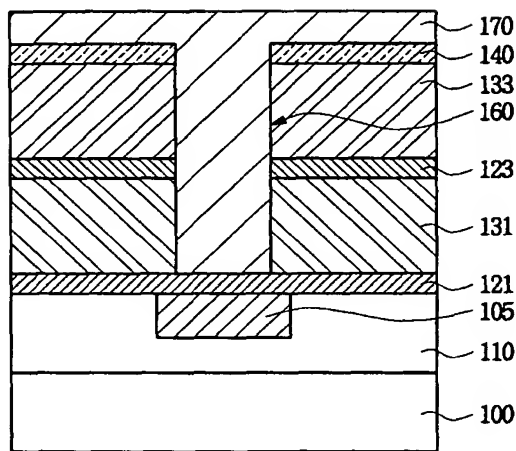
【도 1a】



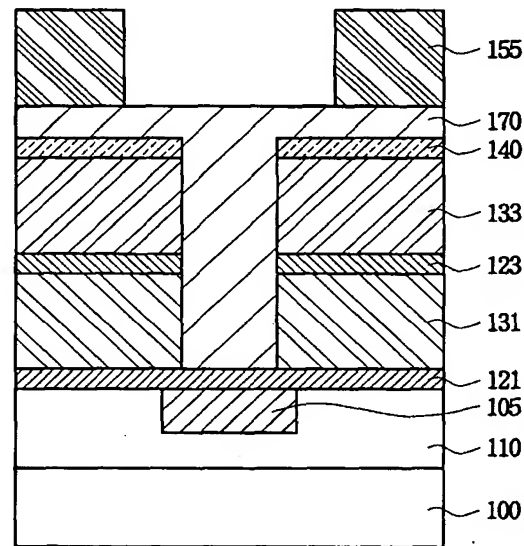
【도 1b】



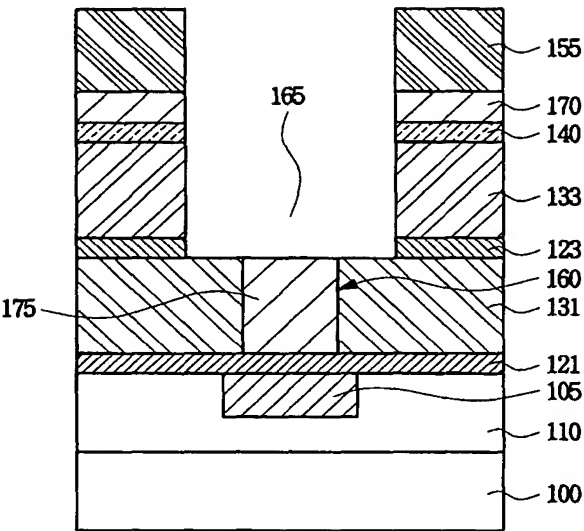
【도 1c】



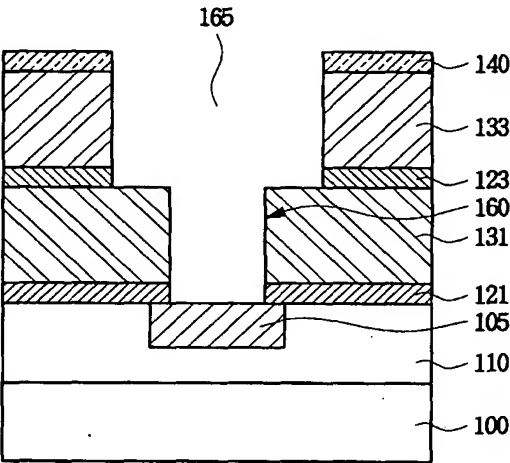
【도 1d】



【도 1e】

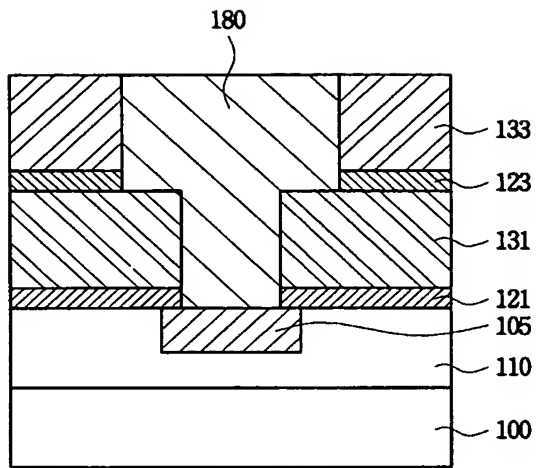


【도 1f】

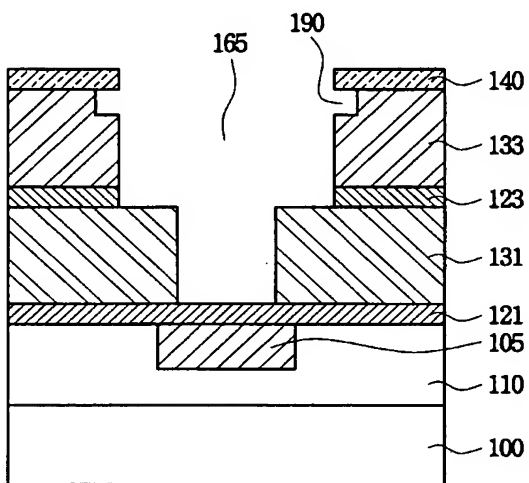




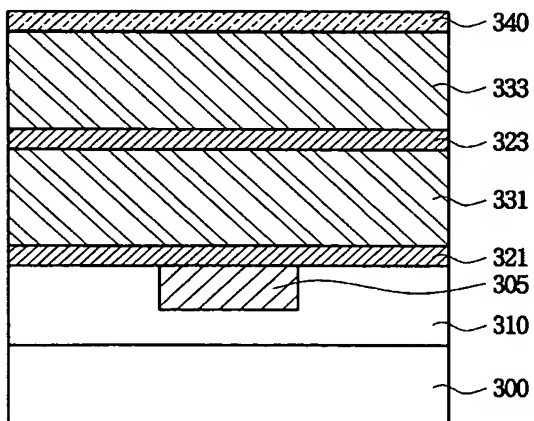
【도 1g】



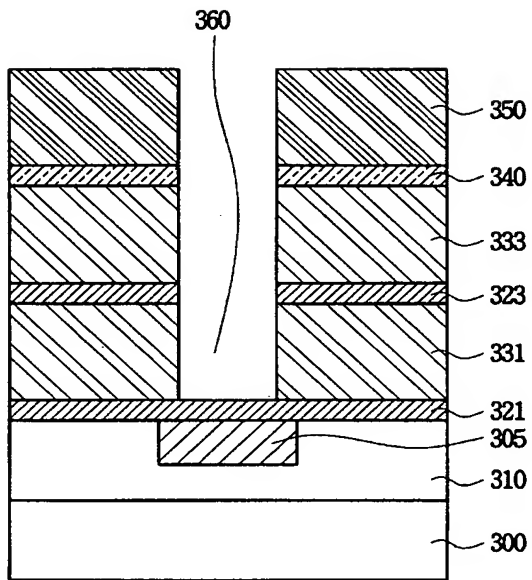
【도 2】



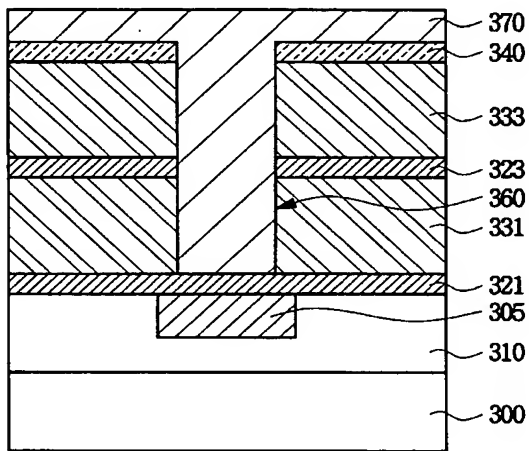
【도 3a】



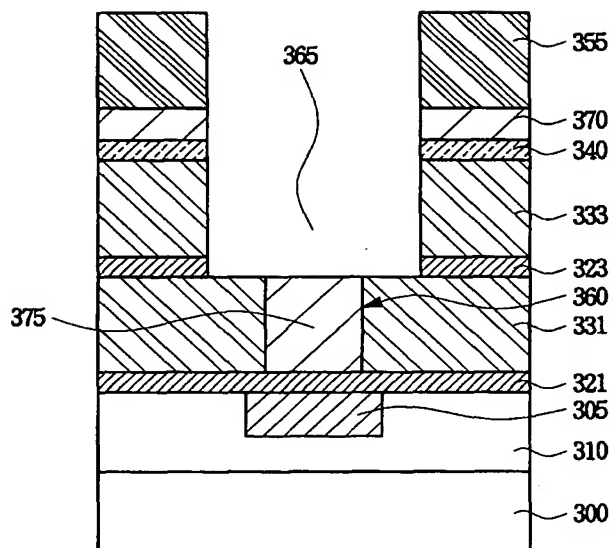
【도 3b】



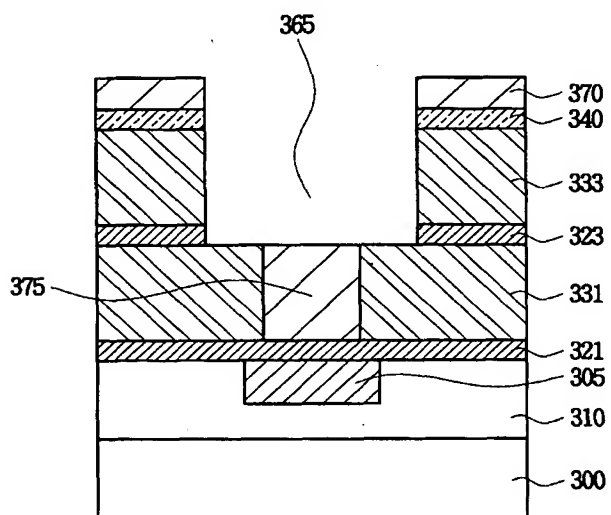
【도 3c】



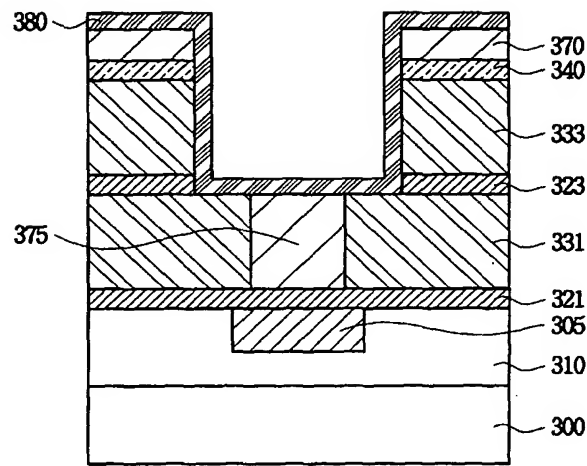
【도 3d】



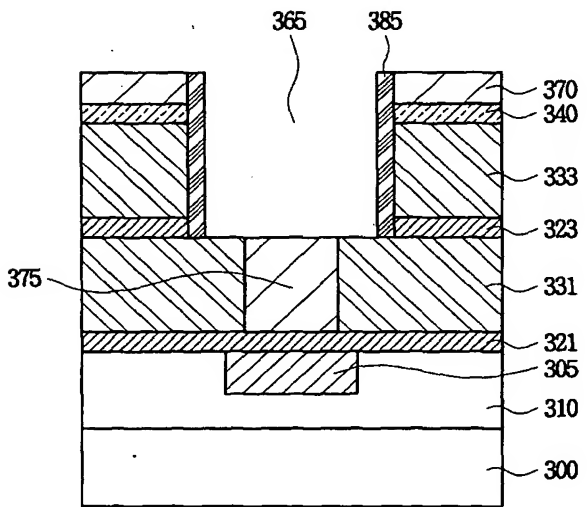
【도 3e】



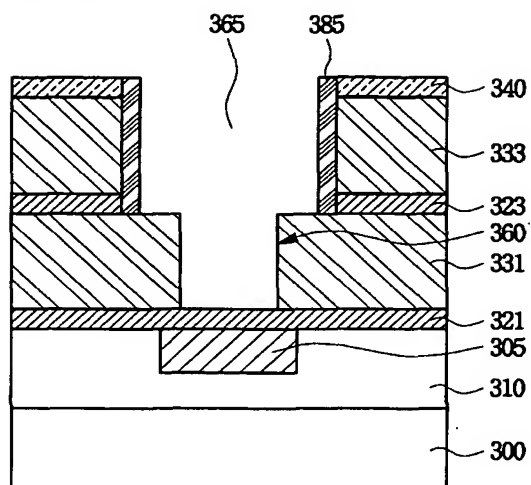
【도 3f】



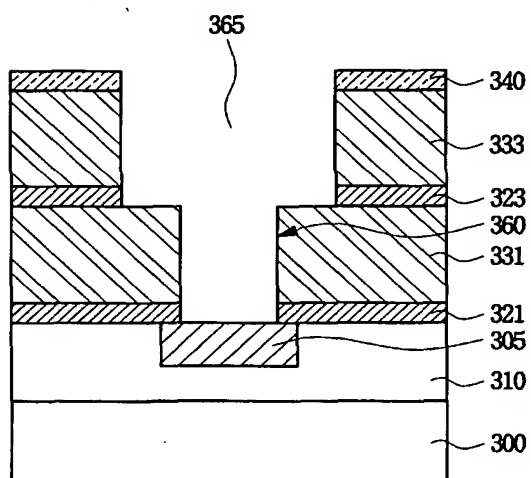
【도 3g】



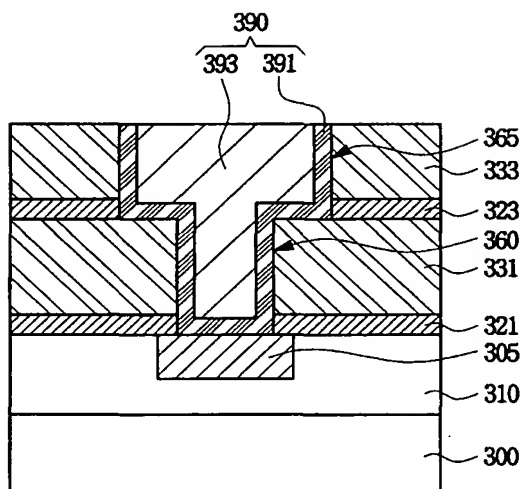
【도 3h】



【도 3i】



【도 3j】



【도 4】

